

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: **Ching-Nan HSIAO, Chao-Sung
LAI, Hai-Han HUNG, Ying-Cheng
CHUANG**

Filed: **3/16/2004**

Appl. No.:

Examiner:

Conf. No.:

Art Unit:

Title: **READ-ONLY MEMORY CELL AND FABRICATION METHOD THEREOF**

Date: **March 16, 2004**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM TO FOREIGN PRIORITY

Applicant hereby claims priority under 35 U.S.C. §119 on the basis of **TW** patent
Application No. **92117375** dated **June 26, 2003**.

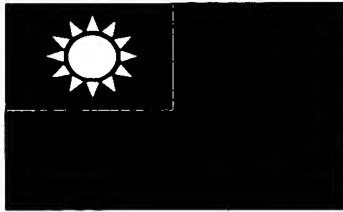
It is noted that the Combined Declaration and Power of Attorney filed with this
application contains a typographical error identifying the filing date as June 26, 2004.

Respectfully submitted,



Nelson A. Quintero
Attorney for Applicant
Reg. No. 52,143
Customer No. 34,283

Telephone: (310) 401-6180



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
/ MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 26 日
Application Date

申請案號：092117375
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 28 日
Issue Date

發文字號：09220865080
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	唯讀記憶單元及其製造方法
	英 文	Read-only memory cell and a production method thereof
二、 發明人 (共4人)	姓 名 (中文)	1. 蕭清南 2. 賴朝松 3. 黃永孟
	姓 名 (英文)	1. Ching-Nan Hsiao 2. Chao Sung Lai 3. Yung-Meng Huang
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 高雄縣燕巢鄉橫山村橫山路52號 2. 宜蘭縣宜蘭市泰山路211巷37號 3. 桃園縣龜山鄉文化五路209號3樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 莊英政
	姓 名 (英 文)	4. Ying-Cheng Chuang
	國 籍 (中 英 文)	4. 中華民國 TW
	住 居 所 (中 文)	4. 桃園縣八德市大安里和平路540巷5號
	住 居 所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：唯讀記憶單元及其製造方法)

一種唯讀記憶單元及其製造方法，該唯讀記憶單元具有一基底、複數條位元線、複數位元線絕緣層、一閘極介電層以及一字元線。位元線形成於該基底之上。位元線絕緣層設置於該等位元線上方。閘極介電層設置於該等位元線之間的該基板上方，並包括一富矽氧化層。字元線設於該等位元線絕緣層以及該閘極介電層之上。

伍、(一)、本案代表圖為：第3圖。

(二)、本案代表圖之元件代表符號簡單說明：

200～基底；

202～位元線；

204～位元線絕緣層；

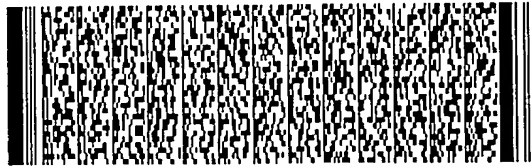
205～罩幕層；

206～第一閘極氧化層；

207、209～電荷儲存區；

六、英文發明摘要 (發明名稱：Read-only memory cell and a production method thereof)

A read-only memory cell and a production method thereof. The read-only memory cell comprises a substrate, multiple bit lines, multiple bit line oxides, a gate dielectric and a word line. The bit lines are deposited on the substrate. Each of the bit line oxides is deposited on the bit line. The gate dielectric is deposited on the substrate between the bit lines. The word line is deposited



四、中文發明摘要 (發明名稱：唯讀記憶單元及其製造方法)

210 ~ 第二閘極氧化層；

212 ~ 閘極介電層；

214 ~ 閘極導電層。

六、英文發明摘要 (發明名稱：Read-only memory cell and a production method thereof)

on the bit line oxides and the gate dielectric.
The gate dielectric comprises a silicon-rich oxide layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

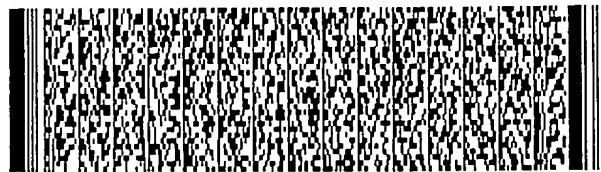
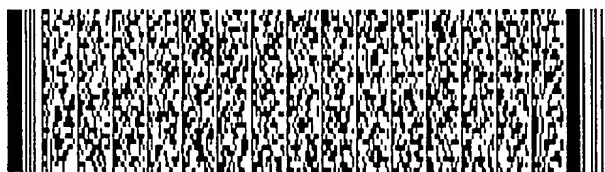
本發明係有關於一種唯讀記憶單元，特別係有關於一種利用富矽氧化層形成電荷儲存區之唯讀記憶單元。

【先前技術】

在非揮發記憶體工業中，氮化物唯讀記憶單元 (NROM) 的發展起源於西元1996年。此新式的非揮發記憶體技術係採用氧化—氮化—氧化 (oxide-nitride-oxide, ONO) 層作為閘極介電層並藉由習知之程式化及抹除之機制而建立出每一記憶單元擁有兩分離之位元線。因此，氮化物唯讀記憶單元之位元線大小約為整個記憶單元面積之一半。由於矽晶粒之尺寸大小為成本架構中的主要要素，顯然這就是氮化物唯讀記憶單元技術為何能具有經濟上的競爭力之原因。

第1圖係繪示出傳統氮化物唯讀記憶單元之結構剖面示意圖。此記憶單元包含一矽基底100，其具有兩分離之位元線（源極及汲極）102，兩位元線絕緣層104係各設置於兩位元線102之上方，且一ONO層112係設置於兩位元線102之間的基底100上方。此ONO層112係由一底層氧化矽層106、一氮化矽層108、及一上層氧化矽層110依序堆疊而成。一閘極導電層（字元線）114係設置於位元線絕緣層104及ONO層112上方。

在ONO層112中的氮化矽層112具有兩電荷儲存區107, 109，其鄰近於位元線102。兩電荷儲存區107, 109係在程



五、發明說明 (2)

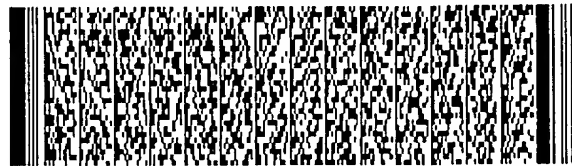
式化記憶單元期間用以儲存電荷。當利用電荷儲存區107程式化左邊的位元時，左邊的位元線102作為汲極並接收一高程式化電壓，此時右邊的位元線102係作為源極並接地。同理，當利用電荷儲存區109程式化右邊的位元時，右邊的位元線102作為汲極並接收一高程式化電壓，此時左邊的位元線102係作為源極並接地。再者，當讀取左邊的位元（電荷儲存區107）時，左邊的位元線102作為源極且右邊的位元線102係作為汲極。同理，當讀取右邊的位元（電荷儲存區109）時，右邊的位元線102作為源極且左邊的位元線102係作為汲極。另外，進行抹除時，其源汲極的相對位置與進行程式化時相同。

然而，在習知技術中利用氮化矽層儲存電荷，但由於氮化矽層的功函數較低，資料維持率較差，容易造成資料流失，因此需要一種性能較佳之唯讀記憶單元。

【發明內容】

本發明係為解決上述習知技術之問題，而提供之一種唯讀記憶單元，其具有一基底、複數條位元線、複數位元線絕緣層、一閘極介電層以及一字元線。位元線形成於該基底之上。位元線絕緣層設置於該等位元線上方。閘極介電層設置於該等位元線之間的該基板上方，並包括一富矽氧化層。字元線設於該等位元線絕緣層以及該閘極介電層之上。

本發明利用富矽氧化層取代習知之氮化矽層作為電荷



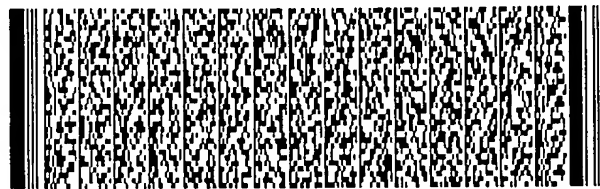
五、發明說明 (3)

儲存區。由於富矽氧化層相較於氮化矽層具有較高的功函數，因此可提高唯讀記憶體單元的資料維持率，且其晶體衰減率較低。應用本發明之唯讀記憶體單元，可提供較佳之資料維持效能，且本發明之唯讀記憶體單元的晶體衰減率較低，可使用時間較長。

【實施方式】

以下配合第2a～2f圖，說明本發明實施例之唯讀記憶體單元製造方法。首先，如第2a圖所顯示的，提供一基底200，例如一矽晶圓。在基底200表面上形成一罩幕層205，其可為單層結構或數層的堆疊結構。如圖中所示，罩幕層205較佳是由一層第一閘極氧化層206與一層較厚的氮化矽層222所組成。其中，第一閘極氧化層206的厚度約100埃（Å）左右，且其形成方法可為熱氧化法或是以習知的常壓（atmospheric）或低壓化學氣相沉積法（low pressure chemical vapor deposition, LPCVD）沉積而成。在第一閘極氧化層206之上的氮化矽層222的厚度約在1000到2000埃的範圍，且可利用低壓化學氣相沉積法，以二氯矽烷（ SiCl_2H_2 ）與氨氣（ NH_3 ）為反應原料沉積而成。接著，在罩幕層205表面上形成一層光阻層220。之後，藉由習知微影製程於光阻層220中定義一位元線圖案，並形成複數個開口217。

接下來，請參照第2b圖，藉由具有開口217之光阻層220作為蝕刻罩幕，對罩幕層205進行非等向性蝕刻製程，



五、發明說明 (4)

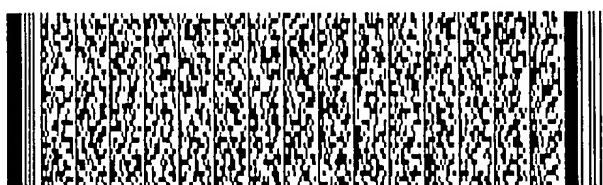
例如反應離子蝕刻 (reactive ion etching, RIE)，以將光阻層220的該位元線圖案轉移至罩幕層205中，並形成複數個位元線開口218。接著，以適當蝕刻溶液或灰化處理來去除光阻層220之後，藉由罩幕層205，對該等位元線開口218中裸露的基底200表面實施離子植入，例如使用磷離子，在基底200表面形成摻雜區202，作為位元線。

接著，參照第2c圖，利用熱氧化法，在基板表面未被氮化矽層222以及第一閘極氧化層206保護的區域，長出氧化矽薄膜，以作為位元線絕緣層204。

接下來，請參照第2d圖，將氮化矽層222剝除。其方法為濕式蝕刻法，例如是以熱磷酸 (H_3PO_4) 為蝕刻液來浸泡而將其去除。並在第一閘極氧化層206以及位元線絕緣層204上形成富矽氧化層208。富矽氧化層208可利用電漿化學氣相沈積法 (PECVD) 在低於 400°C 下所沈積而得，例如是以 TEOS (四乙基正矽酸鹽) 為主反應物所沈積的 PE-TEOS，或者是氫化矽 (SiH_4) 為主反應物所沈積的 PE- SiH_4 ，並藉由增加原料氣體中 TEOS 或 SiH_4 的流量，而形成一富含矽元素的氧化層。

接著，參照第2e圖，利用化學氣相沈積法，在該第一閘極氧化層206上方之該富矽氧化層208表面形成一第二閘極氧化層210。

最後，如第2f圖所顯示的，一導電層214，例如複晶矽，係形成於第二閘極氧化層210以及富矽氧化層208上方。之後，可在導電層214上方塗覆一光阻層 (未圖示)。

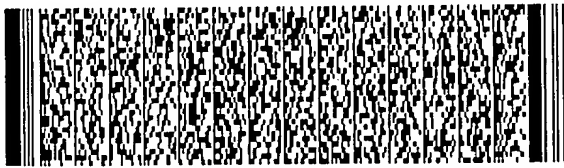
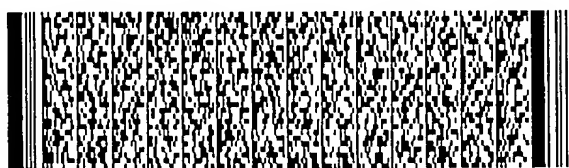


五、發明說明 (5)

隨後藉著習知微影及蝕刻程序，藉以定義出由導電層214所構成之位元線，如此便完成本發明之唯讀記憶單元之製造。

本發明之唯讀記憶單元其結構亦如第3圖所顯示的，其具有一基底200、複數條位元線202（源極及汲極）、複數位元線絕緣層204、一閘極介電層212以及一字元線214。位元線202形成於該基底之上。位元線絕緣層204設置於該等位元線202上方。閘極介電層212設置於該等位元線202之間的該基板200上方。字元線214設於該等位元線絕緣層204以及該閘極介電層212之上。該閘極介電層212包括一富矽氧化層208、第一氧化層206以及第二氧化層210。該富矽氧化層208具有電荷儲存區207以及209。其動作為當利用電荷儲存區207程式化左邊的位元時，左邊的位元線202作為汲極並接收一高程式化電壓。同時，右邊的位元線202係作為源極並接地。同理，當利用電荷儲存區209程式化右邊的位元時，右邊的位元線202作為汲極並接收一高程式化電壓。同時，左邊的位元線202係作為源極並接地。再者，當讀取左邊的位元（電荷儲存區207）時，左邊的位元線202作為源極且右邊的位元線202係作為汲極。同理，當讀取右邊的位元（電荷儲存區209）時，右邊的位元線202作為源極且左邊的位元線202係作為汲極。另外，進行抹除時，其源汲極的相對位置與進行程式化時相同。

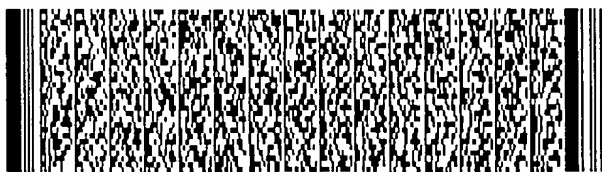
本發明利用富矽氧化層取代習知之氮化矽層作為電荷



五、發明說明 (6)

儲存區。由於富矽氧化層相較於氮化矽層具有較高的功函數，因此可提高唯讀記憶體單元的資料維持率，且其晶體衰減率較低。應用本發明之唯讀記憶體單元，可提供較佳之資料維持效能，且本發明之唯讀記憶體單元的晶體衰減率較低，可使用時間較長。

雖然本發明已於較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，仍可作些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係顯示習知之氮化物唯讀記憶單元之結構剖面示意圖；

第2a～2f圖係顯示本發明之唯讀記憶單元之製造步驟；

第3圖係顯示本發明之唯讀記憶單元之結構剖面示意圖。

【符號說明】

- 100～基底；
- 102～位元線；
- 104～位元線絕緣層；
- 106～底層氧化矽層；
- 107、109～電荷儲存區；
- 110～上層氧化矽層；
- 112～ONO層；
- 114～閘極導電層；
- 200～基底；
- 202～位元線；
- 204～位元線絕緣層；
- 205～罩幕層；
- 206～第一閘極氧化層；
- 207、209～電荷儲存區；
- 210～第二閘極氧化層；
- 212～閘極介電層；



圖式簡單說明

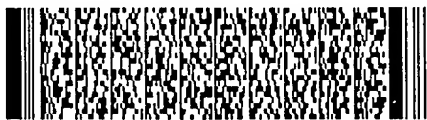
214 ~ 閘極導電層 ;

217 ~ 開口 ;

218 ~ 位元線開口 ;

220 ~ 光阻層 ;

222 ~ 氮化矽層。



六、申請專利範圍

1. 一種唯讀記憶單元，包括：

一基底；

複數條位元線，形成於該基底之上；

複數位元線絕緣層，設置於該等位元線上方；

一閘極介電層，設置於該等位元線之間的該基板上方，該閘極介電層包括一富矽氧化層；以及

一字元線，設於該等位元線絕緣層以及該閘極介電層之上。

2. 如申請專利範圍第1項所述之唯讀記憶單元，其中，該閘極介電層更包括一第一閘極氧化層，設於該富矽氧化層與該基板之間。

3. 如申請專利範圍第1項所述之唯讀記憶單元，其中，該閘極介電層更包括一第二閘極氧化層，設於該富矽氧化層與該字元線之間。

4. 如申請專利範圍第1項所述之唯讀記憶單元，其中，該富矽氧化層並延伸介於該字元線及該位元線絕緣層之間。

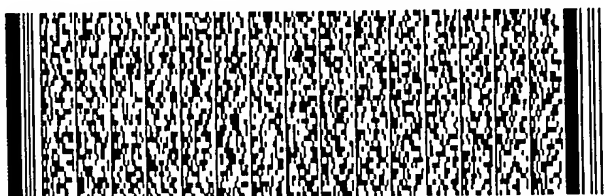
5. 一種唯讀記憶單元之製造方法，包括下述步驟：

提供一基底；

在該基底表面，形成一第一閘極氧化層；

在該第一閘極氧化層上定義一位元線圖案，而形成複數個位元線開口；

在該等個位元線開口中之裸露的基底表面形成複數個摻雜區以作為位元線；



六、申請專利範圍

在該等位元線上方形成複數個位元線絕緣層；

在該第一閘極氧化層上方形成一富矽氧化層；

在該富矽氧化層表面，形成一第二閘極氧化層；以及
在該第二閘極氧化層以及該等位元線絕緣層上方，形成一導電層。

6. 如申請專利範圍第5項所述之唯讀記憶單元之製造方法，其中，該第一閘極氧化層乃利用熱氧化法形成。

7. 如申請專利範圍第5項所述之唯讀記憶單元之製造方法，其中，該第一閘極氧化層乃利用化學氣相沈積法形成。

8. 如申請專利範圍第5項所述之唯讀記憶單元之製造方法，其中，該等摻雜區乃利用離子植入法植入磷離子而形成。

9. 如申請專利範圍第5項所述之唯讀記憶單元之製造方法，其中，該富矽氧化層乃利用電漿化學氣相沈積法沈積而得。

10. 如申請專利範圍第9項所述之唯讀記憶單元之製造方法，其中，該電漿化學氣相沈積的過程中，乃利用四乙基正矽酸鹽作為主反應物。

11. 如申請專利範圍第9項所述之唯讀記憶單元之製造方法，其中，該電漿化學氣相沈積的過程中，乃利用氫化矽作為主反應物。

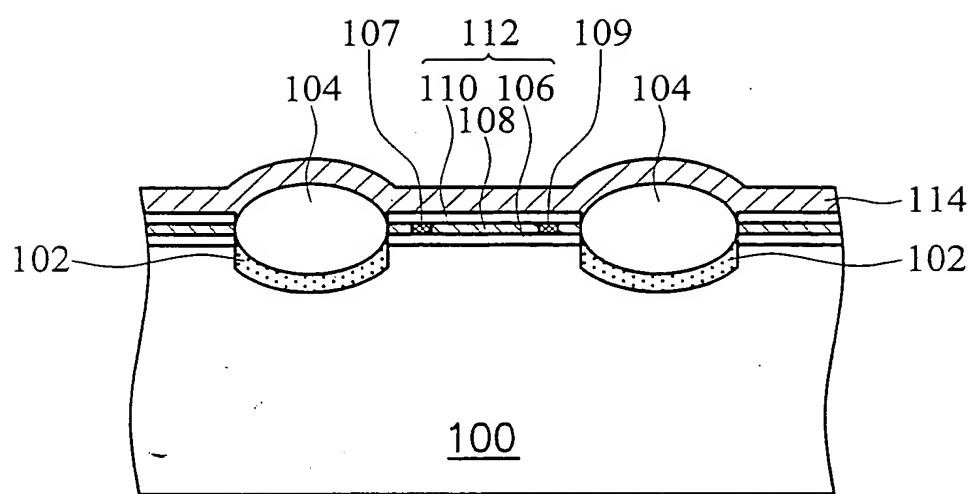
12. 如申請專利範圍第5項所述之唯讀記憶單元之製造方法，其中，該第二閘極氧化層乃利用化學氣相沈積法沈



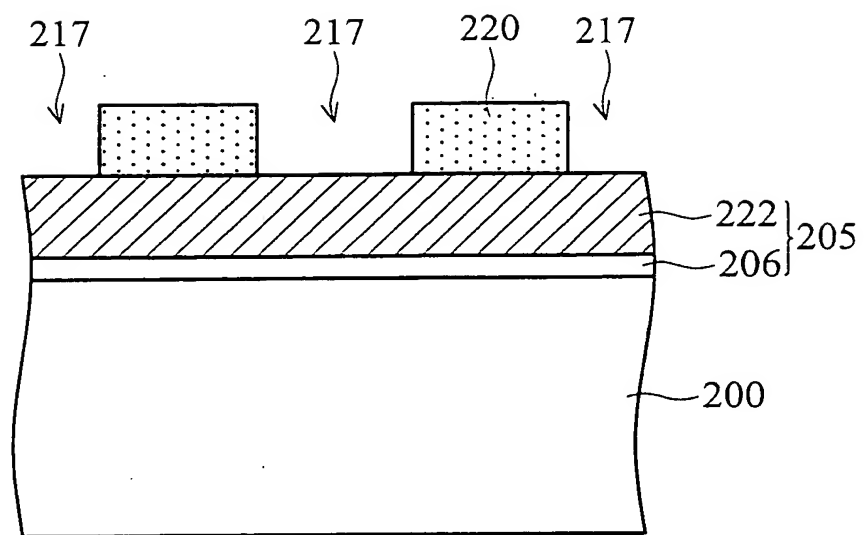
六、申請專利範圍

積而得。

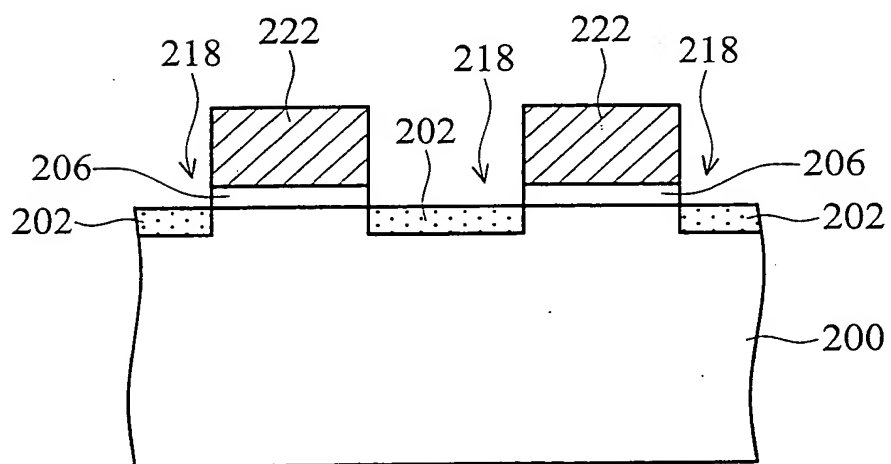




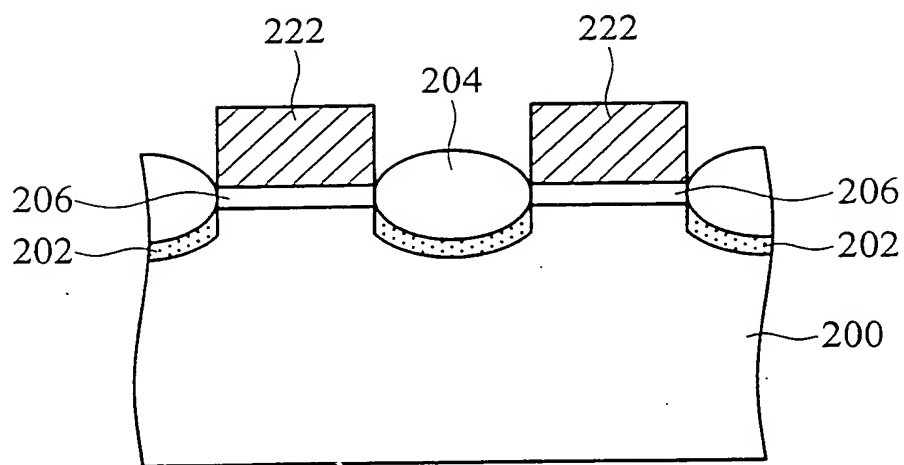
第 1 圖



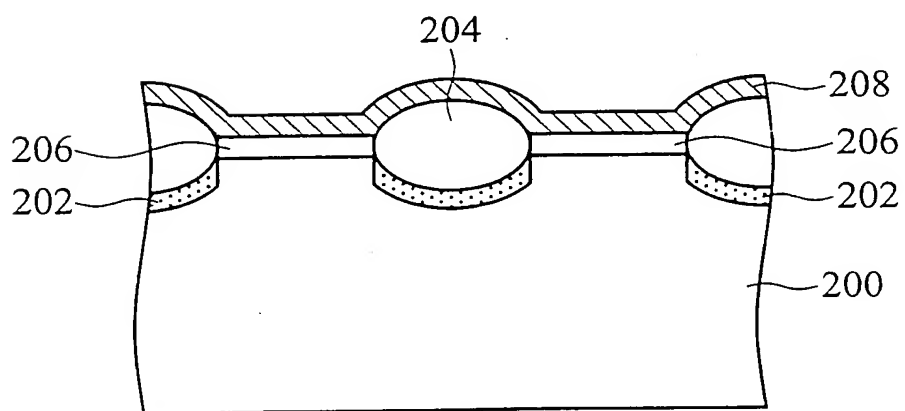
第2a圖



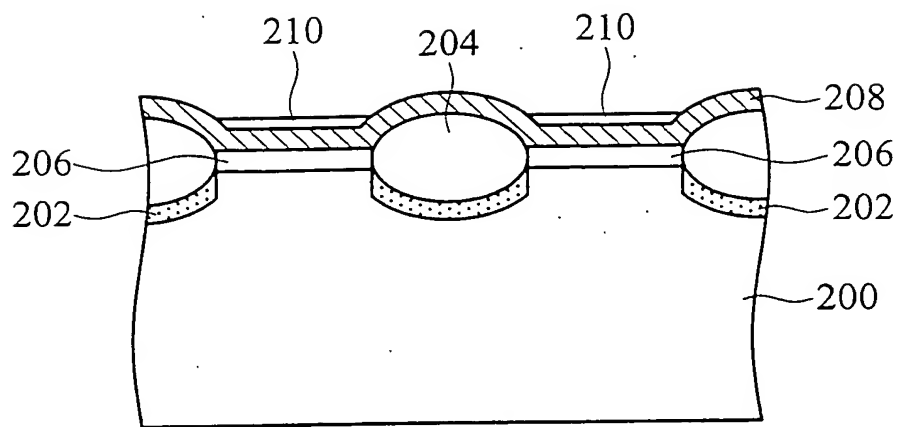
第2b圖



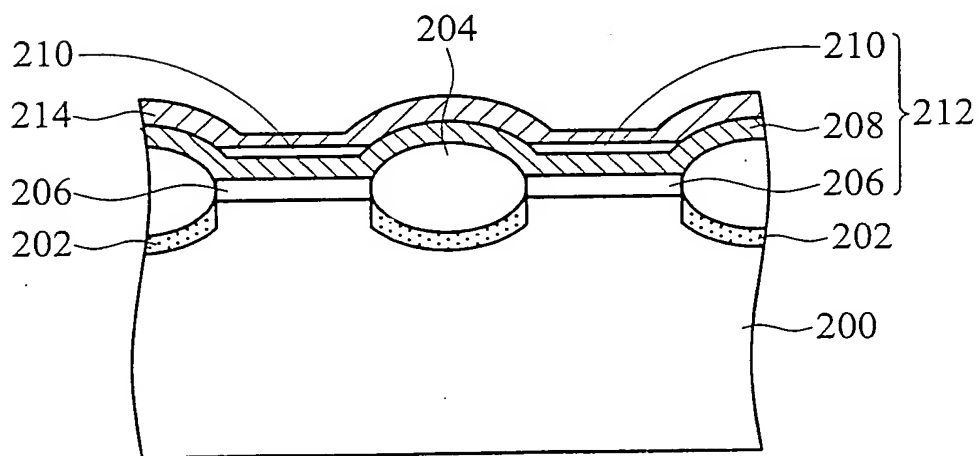
第2c圖



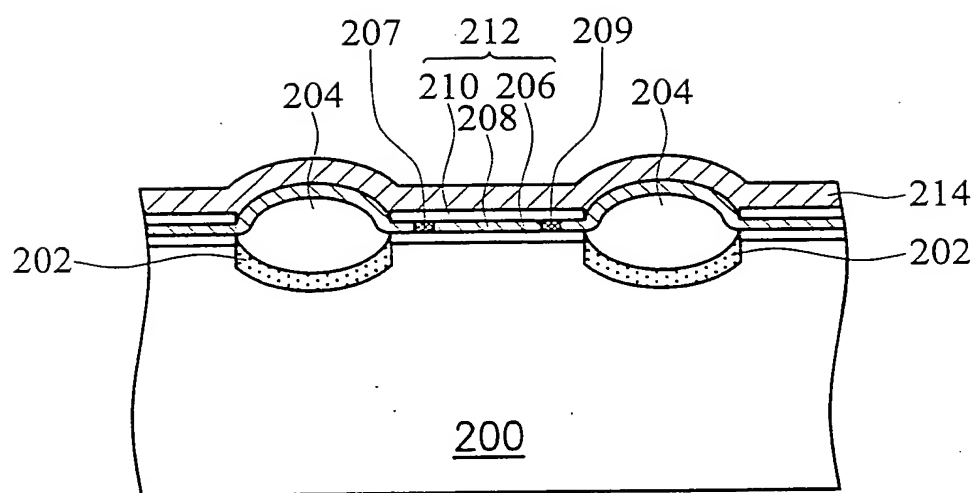
第2d圖



第 2e 圖

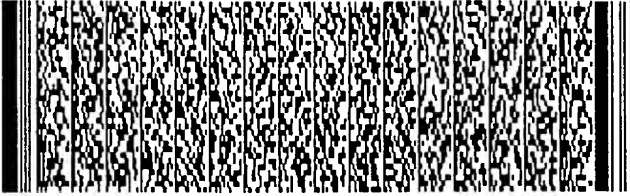


第 2f 圖



第 3 圖

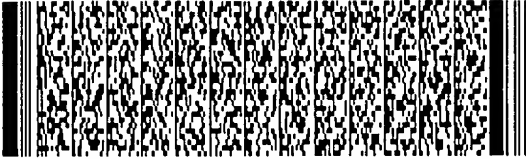
第 1/16 頁



第 2/16 頁



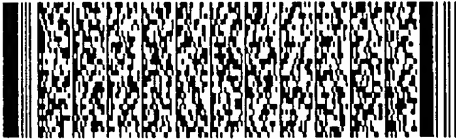
第 3/16 頁



第 3/16 頁



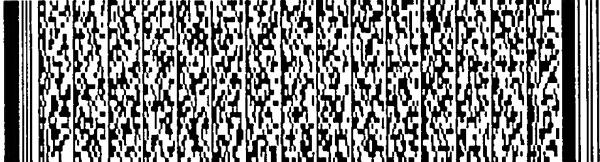
第 4/16 頁



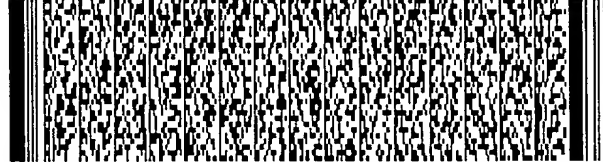
第 5/16 頁



第 6/16 頁



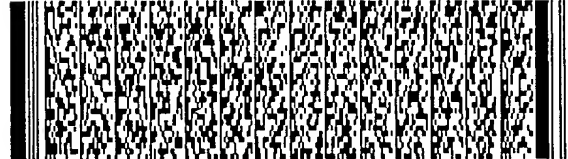
第 6/16 頁



第 7/16 頁



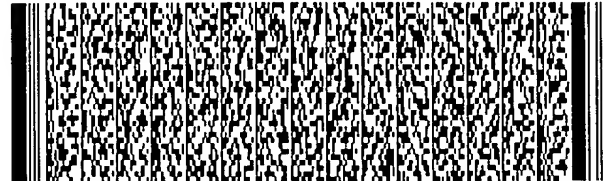
第 7/16 頁



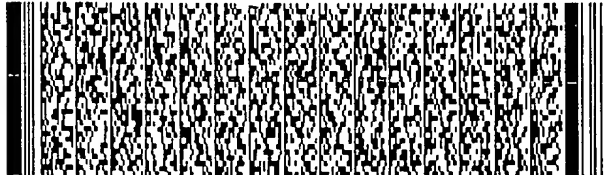
第 8/16 頁



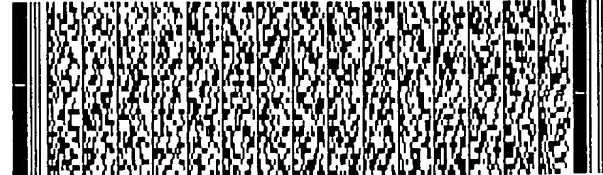
第 8/16 頁



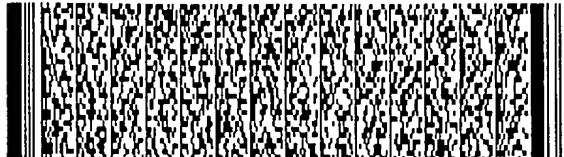
第 9/16 頁



第 9/16 頁



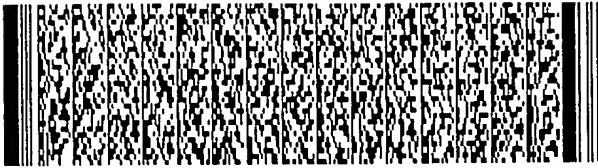
第 10/16 頁



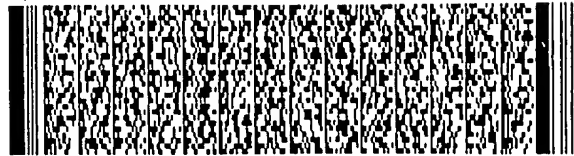
第 10/16 頁



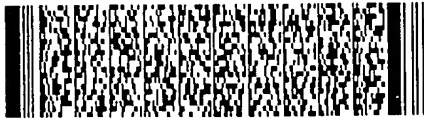
第 11/16 頁



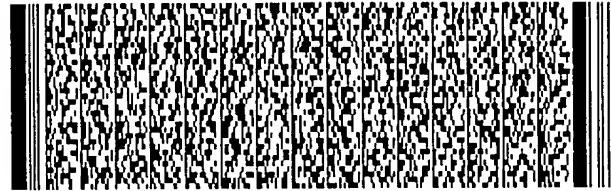
第 12/16 頁



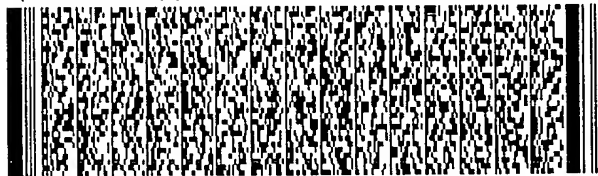
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

